

# 대한민국 특허청

KOREAN INTELLECTUAL  
PROPERTY OFFICE



a / Priority  
Doc.  
e. Willis  
8-22-02

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 특허출원 2000년 제 76375 호  
Application Number PATENT-2000-0076375

출원 년 월 일 : 2000년 12월 14일  
Date of Application DEC 14, 2000

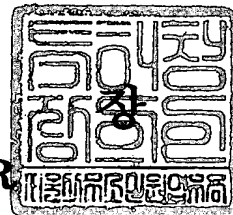
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2001 년 07 월 13 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2000.12.14
【발명의 명칭】	스트링 선택 라인에 유도되는 노이즈 전압으로 인한 프로그램 디스터브를 방지할 수 있는 불휘발성 반도체 메모리 장치 및 그것의 프로그램 방법
【발명의 영문명칭】	NONVOLATILE SEMICONDUCTOR MEMORY DEVICE CAPABLE OF PREVENTING PROGRAM DISTURB DUE TO A NOISE VOLTAGE INDUCED AT A STRING SELECT LINE AND PROGRAM METHOD THEREOF
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	정재용
【성명의 영문표기】	JEONG, JAE YONG
【주민등록번호】	730929-1717416
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 황골마을 주공아파트 107동 405호
【국적】	KR
【발명자】	
【성명의 국문표기】	이성수
【성명의 영문표기】	LEE, SUNG SOO
【주민등록번호】	641125-1051410

【우편번호】 442-470  
【주소】 경기도 수원시 팔달구 영통동 황골마을 풍림아파트 232동  
105호  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정  
에 의한 출원심사 를 청구합니다. 대리인  
임창현 (인) 대리인  
권혁수 (인)  
【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 14 면 14,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 25 항 909,000 원  
【합계】 952,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

여기에 개시되는 불휘발성 반도체 메모리 장치는 프로그램 사이클의 비트 라인 셋업 구간, 스트링 선택 라인 셋업 구간, 프로그램 구간 및 방전 구간에 따라 상기 선택 라인들 및 상기 워드 라인들의 전위를 개별적으로 제어하는 회로를 포함한다. 상기 제어 회로는 프로그램 사이클의 비트 라인 셋업 구간 동안 스트링 선택 라인을 전원 전압으로 바이어스하고, 그것의 스트링 선택 라인 셋업 구간 및 프로그램 구간 동안 상기 스트링 선택 라인을 전원 전압과 접지 전압 사이의 전압으로 바이어스한다. 이러한 스트링 선택 라인 제어 스킴에 따르면, 스트링 선택 라인에 인접한 워드 라인에 프로그램 전압이 인가될 때 스트링 선택 라인에 유기되는 전압으로 인한 프로그램 디스터브를 방지할 수 있다.

**【대표도】**

도 3

## 【명세서】

## 【발명의 명칭】

스트링 선택 라인에 유도되는 노이즈 전압으로 인한 프로그램 디스터브를 방지할 수 있는 불휘발성 반도체 메모리 장치 및 그것의 프로그램 방법{NONVOLATILE SEMICONDUCTOR MEMORY DEVICE CAPABLE OF PREVENTING PROGRAM DISTURB DUE TO A NOISE VOLTAGE INDUCED A A STRING SELECT LINE AND PROGRAM METHOD THEREOF}

## 【도면의 간단한 설명】

도 1은 본 발명에 따른 플래시 메모리 장치를 보여주는 블록도;

도 2는 도 1에 도시된 스트링 선택 라인 제어 유닛의 바람직한 실시예;

도 3은 본 발명에 따른 프로그램 동작을 설명하기 위한 동작 타이밍도;

도 4는 일반적인 플래시 메모리 장치의 어레이 구조를 보여주는 회로도; 그리고

도 5는 종래 기술에 따른 프로그램 동작을 설명하기 위한 동작 타이밍도이다.

\*도면의 주요부분에 대한 부호설명\*

100 : 메모리 셀 어레이    110 : 스트링 선택 라인 제어 유닛

120 : 행 선택 회로    130 : 페이지 버퍼 회로

140 : 열 패스 게이트 회로

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10>    본 발명은 반도체 메모리 장치들에 관한 것으로서, 좀 더 구체적으로는 스트링 선

택 라인에 유도되는 노이즈 전압으로 인한 프로그램 디스터브를 방지할 수 있는 불휘발성 반도체 메모리 장치 및 그것의 프로그램 방법에 관한 것이다.

<11> 반도체 메모리 장치에 저장된 데이터의 리프레시 없이 전기적으로 소거 및 프로그램 가능한 반도체 메모리 장치들에 대한 요구가 점차적으로 증가되고 있다. 또한, 메모리 장치의 저장 용량 및 집적도를 높이는 것이 주된 흐름이다. 저장된 데이터의 리프레시 없이 대용량 및 높은 집적도를 제공하는 불 휘발성 반도체 메모리 장치의 일예가 NAND형 플래시 메모리 장치이다. 파워-오프시 조차 데이터를 그대로 유지하기 때문에, 그러한 플래시 메모리 장치는 전원이 갑자기 차단될 수 있는 전자 장치들 (예를 들면, 휴대용 단말기, 휴대용 컴퓨터, 등등)에 폭넓게 사용되고 있다.

<12> NAND형 플래시 메모리 장치와 같은 불 휘발성 반도체 메모리 장치는 전기적으로 소거 및 프로그램 가능한 톰 셀들 (Electrically Erasable and Programmable Read-Only Memory cells)을 포함하며, '플래시 EEPROM 셀들'이라 불린다. 통상적으로, 플래시 EEPROM 셀은 셀 트랜지스터를 포함하며, 상기 트랜지스터는 제 1 도전형 (예를 들면, P형)의 반도체 기판 (또는 벌크), 서로 소정 간격 떨어진 제 2 도전형 (예를 들면, N형)의 소오스 및 드레인 영역들, 소오스 및 드레인 영역들 (source and drain regions) 사이의 채널 영역 상에 위치하며 전하들을 저장하는 부유 게이트 (floating gate), 그리고 부유 게이트 상에 위치한 제어 게이트 (control gate)를 포함한다.

<13> 이 분야에 잘 알려진 낸드형 플래시 메모리 장치의 어레이가 도 4에 도시되어 있다. 도 4를 참조하면, 메모리 셀 어레이는 비트 라인들에 각각 대응하는 복수 개의 셀 스트링들 (10)을 포함한다. 도시의 편의상, 도 1에는 2개의 비트 라인들 (BL0, BL1) 및 그에 대응하는 2개의 셀 스트링들 (10)이 도시되어 있다. 각 셀 스트링 (10)은 제 1 선택

트랜지스터로서 스트링 선택 트랜지스터 (SST), 제 2 선택 트랜지스터로서 접지 선택 트랜지스터 (GST), 그리고 상기 선택 트랜지스터들 (SST, GST) 사이에 직렬 연결된 복수의 플래시 EEPROM 셀들 (MC<sub>m</sub>) ( $m=0-15$ )로 구성된다. 상기 스트링 선택 트랜지스터 (SST)는 대응하는 비트 라인에 연결된 드레인 및 스트링 선택 라인 (SSL)에 연결된 게이트를 가지며, 상기 접지 선택 트랜지스터 (GST)는 공통 소오스 라인 (CSL)에 연결된 소오스 및 접지 선택 라인 (GSL)에 연결된 게이트를 갖는다. 그리고, 상기 스트링 선택 트랜지스터 (SSL)의 소오스 및 상기 접지 선택 트랜지스터 (GSL)의 드레인 사이에는 상기 플래시 EEPROM 셀들 (MC<sub>15</sub>-MC<sub>0</sub>)이 직렬 연결되며, 상기 셀들 (MC<sub>15</sub>-MC<sub>0</sub>)은 대응하는 워드 라인들 (WL<sub>15</sub>-WL<sub>0</sub>)에 각각 연결된다.

<14> 초기에, 메모리 셀 어레이의 플래시 EEPROM 셀들은, 예를 들면, -3V의 문턱 전압을 갖도록 소거된다. 그 다음에, 플래시 EEPROM 셀들을 프로그램하기 위해서, 소정 시간 동안 선택된 플래시 EEPROM 셀의 워드 라인으로 고전압 (예를 들면, 20V)을 인가함으로써 상기 선택된 메모리 셀이 더 높은 문턱 전압으로 변화되는 반면에, 나머지 (선택되지 않은) EEPROM 셀들의 문턱 전압들은 변화되지 않는다.

<15> 상기 선택된 워드 라인 상에 연결된 선택되지 않은 플래시 EEPROM 셀들을 프로그램하지 않고 동일한 워드 라인 상에 연결된 선택된 메모리 셀(들)을 프로그램하고자 할 때 한 가지 문제점이 생긴다. 상기 워드 라인에 프로그램 전압이 인가될 때, 상기 프로그램 전압은 상기 선택된 플래시 EEPROM 셀 뿐만 아니라 동일한 워드 라인을 따라 배열된 선택되지 않은 플래시 EEPROM 셀들에도 인가된다. 상기 워드 라인 상에 연결된 선택되지 않은 플래시 EEPROM 셀, 특히, 상기 선택된 셀에 인접한 플래시 EEPROM 셀이 프로그램된다. 선택된 워드 라인에 연결된 비선택 셀의 의도하지 않은 프로그램은 '프로그램 디스터

브'라 불린다.

<16>      상기 프로그램 디스터브를 방지하기 위한 기술들 중 하나는 셀프-부스팅 스킴 (self-boosting scheme)을 이용한 프로그램 금지 방법이다. 셀프-부스팅 스킴을 이용한 프로그램 금지 방법은 U.S. Patent No. 5,677,873에 '*METHOD OF PROGRAMMING FLASH EEPROM INTEGRATED CIRCUIT MEMORY DEVICES TO PREVENT INADVERTENT PROGRAMMING OF NONDESIGNATED NAND MEMORY CELLS THEREIN*'라는 제목으로, 그리고 U.S. Patent No. 5,991,202에 '*METHOD FOR REDUCING PROGRAM DISTURB DURING SELF-BOOSTING IN A NAND FLASH MMEORY*'라는 제목으로 개시되어 있고, 레퍼런스로 포함된다.

<17>      상기 셀프-부스팅 스킴을 이용한 프로그램 금지 방법에 따른 동작 타이밍도를 보여 주는 도 5를 참조하면, 접지 선택 트랜지스터 (GST)의 게이트에 0V의 전압을 인가함으로써 접지 경로가 차단된다. 선택 비트 라인 (예들 들면, BL0)에는 0V의 전압이 인가되고, 비선택 비트 라인 (예들 들면, BL1)에는 프로그램 금지 전압 (program inhibition voltage)으로서 3.3V 또는 5V의 전원 전압 ( $V_{cc}$ )이 인가된다. 동시에, 비트 라인 (BL1)에 연결된 스트링 선택 트랜지스터 (SST)의 게이트에 전원 전압을 인가함으로써 스트링 선택 트랜지스터 (SST)의 소오스 (또는 프로그램 금지된 셀 트랜지스터의 채널)가 ( $V_{cc}-V_{th}$ ) ( $V_{th}$ 는 스트링 선택 트랜지스터의 문턱 전압)까지 충전된다. 이때, 상기 스트링 선택 트랜지스터 (SST)는 사실상 차단된다 (또는, 셧 오프된다). 상술한 일련의 동작이 수행되는 구간은 '비트 라인 셋업 구간'이라 불린다.

<18>      그 다음에, 선택된 워드 라인에 고전압 또는 프로그램 전압 ( $V_{pgm}$ )을 인가하고 선택되지 않은 워드 라인들에 패스 전압 ( $V_{pass}$ )을 인가함으로써 프로그램 금지된 셀 트랜



지스터의 채널 전압 (Vchannel)이 부스팅된다. 이는 플로팅 게이트와 채널 사이에 F-N 터널링이 생기지 않게 하며, 그 결과 프로그램 금지된 셀 트랜지스터가 초기의 소거 상태로 유지된다. 상술한 일련의 동작이 수행되는 구간은 '프로그램 구간'이라 불린다. 선택된 메모리 셀의 프로그램이 완료되면, 비트 라인의 전위를 방전하는 리커버리 동작이 수행된다.

<19> 상술한 셀프-부스팅 스킴을 이용한 프로그램 금지 방법이 플래시 메모리 장치에 사용될 때 한가지 문제점을 갖는다. 구체적으로는, 플래시 메모리 장치의 집적도가 증가됨에 따라 인접한 신호 라인들 사이의 간격이 점차적으로 감소되고, 그 결과 인접한 신호 라인들 사이에 존재하는 기생 커패시턴스를 통해 인접한 신호 라인들 사이의 커플링이 쉽게 생긴다. 예를 들면, 스트링 선택 트랜지스터 (SST)에 인접한 (또는, 바로 아래에 위치한) 메모리 셀 (MC15)을 프로그램하는 경우, 상기 메모리 셀 (MC15)에 연결된 선택 워드 라인 (WL15)에 프로그램 전압 (Vpgm)이 인가될 때, 도 5에 도시된 바와 같이, 스트링 선택 라인 (SSL)의 전압 (예를 들면, 전원 전압)이 선택 워드 라인 (WL15)과의 커플링으로 인해 전원 전압 (Vcc)보다 높게 부스팅된다. 상기 스트링 선택 라인 (SSL)의 전압 상승은 프로그램 금지된 셀 트랜지스터의 채널에 셀프-부스팅 동작에 의해 충전된 전자들이 스트링 선택 트랜지스터 (전압 상승에 따라 셧-오프 상태에서 턴 온 상태로 변화됨)를 통해 비선택 비트 라인으로 빠져나가게 한다. 즉, 도 5에 도시된 바와 같이, 프로그램 금지된 셀 트랜지스터의 채널 전압 (Vchannel) (또는 금지 전압-Vinhibit)이 스트링 선택 라인 (SSL)의 상승된 전압에 비례하여  $\Delta V$  (워드 라인 대 스트링 선택 라인의 커플링 비 및 프로그램 전압에 의해서 결정됨)만큼 낮아진다. 그러므로, 프로그램 금지된 셀 트랜지스터가 프로그램되는 프로그램 디스터브가 유발된다.

**【발명이 이루고자 하는 기술적 과제】**

- <20>      본 발명의 목적은 스트링 선택 라인에 인접한 메모리 셀을 프로그램할 때 생기는 프로그램 디스터브를 방지할 수 있는 불휘발성 반도체 메모리 장치 및 그것의 프로그램 방법을 제공하는 것이다.

**【발명의 구성 및 작용】**

- <21>      (구성)

- <22>      상술한 제반 목적을 달성하기 위한 본 발명의 일 특징에 따르면, 불휘발성 반도체 메모리 장치를 프로그램하는 방법이 제공된다. 상기 불휘발성 반도체 메모리 장치는 복수 개의 셀 스트링들을 구비한 메모리 셀 어레이를 포함하되, 상기 각 스트링은 제 1 선택 트랜지스터의 소오스 및 제 2 선택 트랜지스터의 드레인 사이에 직렬 연결된 복수 개의 메모리 셀 트랜지스터들로 이루어지며, 상기 각 셀 스트링의 제 1 선택 트랜지스터의 드레인은 대응하는 비트 라인에 연결되고, 상기 셀 스트링들의 제 2 선택 트랜지스터들의 소오스들은 공통 소오스 라인에 공통으로 연결되고, 상기 셀 스트링들의 제 1 선택 트랜지스터들은 제 1 선택 라인에 공통으로 연결되고, 상기 셀 스트링들의 제 2 선택 트랜지스터들은 제 2 선택 라인에 공통으로 연결되고, 상기 각 메모리 셀 트랜지스터는 포켓 P웰 영역에 형성되며 소오스 영역, 드레인 영역, 상기 소오스 및 드레인 영역들 사이에 형성된 채널 영역, 상기 채널 영역 상에 형성된 부유 게이트 그리고 상기 부유 게이트 상에 형성된 제어 게이트를 가지며, 상기 각 셀 스트링의 메모리 셀 트랜지스터들의 제어 게이트들은 상기 제 1 선택 라인과 상기 제 2 선택 라인 사이에 평행하게 배열된 워드 라인들에 각각 연결된다. 상기 불휘발성 반도체 메모리 장치를 프로그램하기 위해서는, 먼저, 상기 제 1 선택 라인이 제 1 전압으로 바이어스된 상태에서, 프로그램될 데

이터 비트들에 따라 상기 셀 스트링들에 각각 대응하는 비트 라인들에 상기 제 1 전압 ( $V_{cc}$ ) 및 상기 제 1 전압보다 낮은 제 2 전압 ( $GND$ ) 중 하나가 각각 공급된다. 그 다음에, 상기 제 1 선택 라인을 상기 제 1 전압과 상기 제 2 전압 사이의 제 3 전압 ( $V_{ss1}$ )으로 바이어스한 후, 상기 제 1 선택 라인이 상기 제 3 전압으로 바이어스된 상태에서, 상기 워드 라인들 중 선택된 워드 라인에 프로그램 전압이 공급된다.

<23> 이 실시예에 있어서, 상기 제 1 전압은 접지 전압이고, 상기 제 2 전압은 전원 전압이다.

<24> 이 실시예에 있어서, 상기 제 3 전압은 프로그램을 나타내는 데이터 비트에 대응하는 비트 라인에 연결된 제 1 선택 트랜지스터를 턴 온시키기에 충분한 전압이다.

<25> 이 실시예에 있어서, 상기 제 3 전압은 제 4 전압과 제 5 전압 사이에 존재하며, 상기 제 4 전압은 프로그램을 나타내는 데이터 비트에 대응하는 비트 라인에 연결된 제 1 선택 트랜지스터를 턴 온시키기에 충분한 전압이고, 상기 제 5 전압은 프로그램 금지를 나타내는 데이터 비트에 대응하는 비트 라인을 기준으로 제 1 선택 트랜지스터의 셧-오프 전압 (제 1 전압  $-(\beta * V_{pgm})$ , 여기서  $\beta$ 는 워드 라인 대 스트링 선택 라인의 컵플링 비를 나타냄)이다.

<26> 본 발명의 다른 특징에 따르면, 불휘발성 반도체 메모리 장치는 하나의 메모리 블록으로서 메모리 셀 어레이를 포함한다. 상기 메모리 셀 어레이는 각각이 대응하는 비트 라인에 연결된 드레인을 갖는 스트링 선택 트랜지스터, 공통 소오스 라인에 연결된 소오스를 갖는 접지 선택 트랜지스터, 그리고 상기 스트링 선택 트랜지스터의 소오스 및 상기 접지 선택 트랜지스터의 드레인 사이에 직렬 연결된 복수의 메모리 셀 트랜지스터들을 갖는 복수 개의 셀 스트링들과, 상기 각 셀 스트링의 메모리 셀 트랜지스터들의 제

어 게이트들에 각각 연결된 워드 라인들과, 상기 셀 스트링들의 스트링 선택 트랜지스터들의 게이트들에 공통으로 연결된 스트링 선택 라인과, 상기 셀 스트링들의 접지 선택 트랜지스터들의 게이트들에 공통으로 연결된 접지 선택 라인으로 이루어졌다. 상기 불휘발성 반도체 메모리 장치는 제어 수단 및 페이지 버퍼 회로를 더 포함한다. 상기 제어 수단은 프로그램 사이클의 비트 라인 셋업 구간, 스트링 선택 라인 셋업 구간, 프로그램 구간 및 방전 구간에 따라 상기 선택 라인들 및 상기 워드 라인들의 전위를 개별적으로 제어한다. 상기 페이지 버퍼 회로는 상기 프로그램 사이클의 비트 라인 셋업 구간 동안, 상기 메모리 셀 어레이에 프로그램될 데이터 비트들에 따라 상기 비트 라인들에 제 1 전압과 제 2 전압 중 하나를 각각 공급한다. 상기 제어 수단은 상기 비트 라인 셋업 구간 동안 상기 스트링 선택 라인을 상기 제 1 전압으로 바이어스하고, 상기 스트링 선택 라인 셋업 구간 및 상기 프로그램 구간 동안 상기 스트링 선택 라인을 상기 제 1 전압과 상기 제 2 전압 사이의 제 3 전압으로 바이어스한다.

<27> (작용)

<28> 이러한 장치 및 방법에 의하면, 스트링 선택 라인에 인접한 워드 라인에 프로그램 전압이 인가될 때 스트링 선택 라인에 유기되는 전압으로 인한 프로그램 디스터브를 방지할 수 있다.

<29> (실시예)

<30> 이하, 본 발명의 바람직한 실시예가 참조 도면들에 의거하여 상세히 설명된다. 본 발명에 따른 낸드형 플래시 메모리 장치의 프로그램 사이클은 비트 라인 셋업 구간, 스트링 선택 라인 셋업 구간, 프로그램 구간 및 방전 구간으로 이루어진다. 프로그램 사이클은 정해진 횟수 내에서 반복적으로 수행되며, 이 분야에 통상적인 지식을 습득한 자들

에게 자명하다. 본 발명에 따른 낸드형 플래시 메모리 장치에 따르면, 비트 라인들이 페이지 버퍼들에 각각 로드된 데이터 비트들에 따라 전원 전압 및 접지 전압 중 하나로 충전되는 비트 라인 셋업 구간 후에 그리고 프로그램 구간 이전에, 스트링 선택 라인의 전위를 비트 라인 셋업 구간에서 설정된 전위보다 낮게 설정된다. 스트링 선택 라인 셋업 구간이 추가됨에 따라, 스트링 선택 라인에 바로 인접한 워드 라인에 프로그램 전압이 인가될 때 생기는 프로그램 디스터브가 방지될 수 있으며, 이는 이후 상세히 설명될 것이다.

<31> 본 발명에 따른 낸드형 플래시 메모리 장치를 보여주는 블록도가 도 1에 도시되어 있다. 메모리 장치는 셀 어레이 (100), 행 선택 회로 (120), 페이지 버퍼 회로 (130), 그리고 열 패스 게이트 회로 (140)를 포함한다. 셀 어레이 (100)는 열들을 따라 배열된 복수 개의 셀 스트링들 (또는 낸드 스트링들) (12)로 이루어진다. 각 셀 스트링 (12)은 스트링 선택 트랜지스터 (SST<sub>m</sub>) ( $m=0,1,2, \dots, i$ )를 포함하며, 스트링 선택 트랜지스터 (SST<sub>m</sub>)의 게이트는 스트링 선택 라인 (SSL)에 연결된다. 각 셀 스트링 (12)은 또한 접지 선택 트랜지스터 (GST<sub>m</sub>)를 포함하며, 접지 선택 트랜지스터 (GST<sub>m</sub>)의 게이트는 접지 선택 라인 (GSL)에 연결된다. 각 셀 스트링 (12)의 스트링 선택 트랜지스터 (SST<sub>m</sub>)의 소오스와 접지 선택 트랜지스터 (GST<sub>m</sub>)의 드레인 사이에는 복수 개의 메모리 셀들 또는 플래시 EEPROM 셀들 (MC<sub>n</sub>) ( $n=0,1,2, \dots, 15$ )이 직렬 연결된다. 각 셀 스트링 (12)의 EEPROM 셀들 (MC<sub>n</sub>)의 제어 게이트들은 대응하는 워드 라인들 (WL<sub>j</sub>)에 각각 연결된다. 각 스트링 선택 트랜지스터 (SST<sub>m</sub>)의 드레인은 대응하는 비트 라인 (BL<sub>m</sub>)에 연결되며, 각 접지 선택 트랜지스터 (GST<sub>m</sub>)의 소오스는 공통 소오스 라인 (CSL)에 연결된다. 스트링 선택 라인 (SSL), 워드 라인들 (WL<sub>j</sub>) 그리고 접지 선택 라인 (GSL)은 행 선택 회로 (120)

에 전기적으로 연결된다.

<32>      상기 행 선택 회로 (120)는 프로그램 사이클의 비트 라인 셋업 구간, 스트링 선택 라인 셋업 구간, 프로그램 구간 및 방전 구간에 따라 상기 선택 라인들 및 상기 워드 라인들의 전위를 제어한다. 상기 메모리 장치에는 상기 스트링 선택 라인 제어 유니트 (110)가 더 제공되며, 상기 스트링 선택 라인 제어 유니트 (110)는 프로그램 사이클의 비트 라인 셋업 구간과 스트링 선택 라인 셋업 및 프로그램 구간들에 따라 변화되는 전압 레벨을 갖도록 상기 행 선택 회로 (120)를 통해 스트링 선택 라인 (SSL)을 제어한다. 스트링 선택 라인 제어 유니트 (110)의 바람직한 실시예를 보여주는 도 2를 참조하면, 하나의 PMOS 트랜지스터 (501)과 3개의 NMOS 트랜지스터들 (502, 503, 504)은 스트링 선택 라인 제어 유니트 (110)를 구성하며, 도시된 바와 같이 연결된다. 입력 신호 (SSLCTL)는 프로그램 사이클의 비트 라인 셋업 구간 동안 접지 전압 (GND)의 로우 레벨을 갖는다. 이는 PMOS 트랜지스터 (501)가 턴 온되게 하며, 그 결과 스트링 선택 라인 (SSL)은 전원 전압 ( $V_{cc}$ ) 레벨을 갖는다. 상기 입력 신호 (SSLCTL)는 프로그램 사이클의 스트링 선택 라인 셋업 구간 및 프로그램 구간 동안 전원 전압의 하이 레벨을 갖는다. 이는 NMOS 트랜지스터 (504)가 턴 온되게 하며, 그 결과 스트링 선택 라인 (SSL)은 다이오드 연결된 NMOS 트랜지스터들 (502, 503)의 문턱 전압들의 합 ( $2V_{th}$ )에 대응하는 전압 ( $V_{ss1}$ ) 레벨을 갖는다.

<33>      여기서, 상기 스트링 선택 라인 (SSL)과 NMOS 트랜지스터 (504) 사이에 2개의 다이오드 연결된 NMOS 트랜지스터들이 연결되어 있다. 하지만, 하나의 다이오드 연결된 NMOS 트랜지스터가 연결될 수 있을 뿐만 아니라, 3개 또는 그 보다 많은 다이오드 연결된 NMOS 트랜지스터들이 연결될 수 있다.

<34> 다시 도 1을 참조하면, 상기 페이지 버퍼 회로 (130)는 비트 라인들 (BLi)에 각각 대응하는 페이지 버퍼들 (130\_i)을 포함한다. 읽기 사이클 동안, 페이지 버퍼는 선택된 셀로부터 데이터를 감지하고 상기 데이터를 열 패스 게이트 회로 (140)를 통해 데이터 출력 버퍼 (미도시됨)로 전달한다. 프로그램 사이클 동안, 페이지 버퍼는 열 패스 게이트 회로 (140)를 통해 입출력 버퍼로부터 인가되는 데이터를 임시적으로 저장한다. 이후, 비트 라인 (BL0)에 대응하는 페이지 버퍼 (130\_0)를 참조하여 구성 및 기능이 설명된다. 다른 비트 라인들 (BL1-BLi)에 대응하는 페이지 버퍼들 (130\_1~130\_i)은 상기 페이지 버퍼 (130\_0)와 동일한 기능 및 구성을 갖는다.

<35> 상기 페이지 버퍼 (130\_0)는 PMOS 트랜지스터 (M2), 5개의 NMOS 트랜지스터들 (M1, M3-M6) 그리고 2개의 인버터들로 구성된 래치 (50)를 포함한다. NMOS 트랜지스터 (M1)는 비트 라인 (BL0)과 노드 (N1) 사이에 형성된 전류 통로 및, 비트 라인 레벨 제어 신호 (BLCTL)를 받아들이도록 연결된 게이트를 갖는다. 드레인이 노드 (N1)에 연결된 PMOS 트랜지스터 (M2)의 게이트 및 소오스는 로드 인에이블 신호 (LOADEN) 및 전원 전압 (Vcc)에 각각 연결된다. 소오스 및 게이트가 접지 전압 (Vss 또는 GND)과 비트 라인 방전 신호 (BLDIS)에 각각 연결된 트랜지스터 (M3)는 노드 (N1)와 접지 전압 사이에 연결되며, 비트 라인 (BL0)의 전압을 방전하고 페이지 버퍼 (즉, 래치)를 접지 전압 레벨로 초기화한다. 게이트가 비트 라인 선택 신호 (BLSEL)에 연결된 NMOS 트랜지스터 (M4)는 노드 (N1) 및 래치 (50)의 노드 (N2) 사이에 연결된다. 래치 (50)의 노드 (N3)는 NMOS 트랜지스터들 (M5, M6)을 통해 접지 전압에 연결된다. 상기 트랜지스터 (M5)의 게이트는 노드 (N1)에 연결되고, 상기 트랜지스터 (M6)의 게이트는 래치 신호 (LATCH)에 연결된다. NMOS 트랜지스터들 (M5, M6)은 비트 라인 (BL0) 상의 전압 레벨 및 상기 래치 신호

(LATCH)에 응답하여 래치 (50)에 저장된 데이터의 상태를 변화시킨다.

<36> 도 3은 본 발명에 따른 낸드형 플래시 메모리 장치의 프로그램 동작을 설명하기 위한 동작 타이밍도이다. 이하, 도 1 내지 도 3을 참조하여 낸드형 플래시 메모리 장치의 프로그램 동작이 상세히 설명된다. 앞서 설명된 바와 같이, 본 발명의 프로그램 사이클은 비트 라인 셋업 구간, 스트링 선택 라인 셋업 구간, 프로그램 구간 및 방전 구간으로 이루어진다. 그러한 프로그램 사이클은 정해진 횟수에 따라 반복적으로 수행될 것이다. 설명의 편의상, 단지 2개의 비트 라인들 (BL0, BL1)을 이용하여 프로그램 동작이 설명될 것이다.

<37> 프로그램될 데이터 비트들 '01'이 비트 라인들 (BL0, BL1)에 대응하는 페이지 버퍼들 (130\_0, 130\_1)에 각각 로드되었다고 가정하자. 프로그램을 나타내는 '0' 데이터 비트를 래치한 페이지 버퍼 (130\_0)에 대응하는 비트 라인 (BL0)은 선택 비트 라인이라 칭하고, 프로그램 금지를 나타내는 '1' 데이터 비트를 래치한 페이지 버퍼 (130\_1)에 대응하는 비트 라인 (BL1)은 비선택 비트 라인이라 칭한다. 또한, 프로그램될 플래시 EEPROM 셀 (예를 들면, MC15)에 연결된 워드 라인 (WL15)은 프로그램 사이클의 프로그램 구간 동안 프로그램 전압 (V<sub>pgm</sub>)을 공급받으며, 선택 워드 라인이라 칭한다. 그리고, 나머지 워드 라인들 (WL0~WL14)은 프로그램 사이클의 프로그램 구간 동안 패스 전압 (V<sub>pass2</sub>)을 공급받으며, 비선택 워드 라인이라 칭한다.

<38> 이러한 가정 하에서, 도 3에 도시된 바와 같이, 비트 라인 셋업 구간에서 스트링 선택 신호 (SSL)는 전원 전압의 하이 레벨을 갖고, 비트 라인 선택 신호 (BLSEL) 및 비트 라인 레벨 제어 신호 (BLCTL)는 V<sub>pass1</sub>의 하이 레벨로 천이한다. 이와 동시에, 신호 라인들 (GSL, BLDIS, LATCH)은 접지 전압 (GND)의 로우 레벨로 유지된다. 이때, 공통 소



오스 라인 (CSL)은 접지 선택 트랜지스터 (GSTm)의 펀치 스루 (punch through)를 막기 위한 소정의 전압 레벨을 갖는다. 여기서, Vpass1 전압은 프로그램 구간에서 비선택 워드 라인에 인가되는 패스 전압 (Vpass2)보다 낮고, 프로그램된 셀을 충분히 턴 온시킬 수 있는 전압이다. 이러한 바이어스 조건의 결과로서, NMOS 트랜지스터들 (M1)은 Vpass1 전압을 갖는 비트 라인 레벨 제어 신호 (BLCTL)에 의해서 턴 온되고, 셀 스트링들 (12)의 스트링 선택 트랜지스터들 (SST0, SST1)은 전원 전압의 하이 레벨을 갖는 스트링 선택 신호 (SSL)에 의해서 턴 온된다. 게다가, 페이지 버퍼들 (130\_0, 130\_1) 내의 NMOS 트랜지스터들 (M4)은 Vpass1 전압의 하이 레벨을 갖는 비트 라인 선택 신호 (BLSEL)에 의해서 턴 온된다.

<39> 결과적으로, 상기 비트 라인 셋업 구간에서, 상기 선택 비트 라인 (BL0)은 접지 전압을 갖도록 디벨러프되고, 상기 비선택 비트 라인 (BL1)은 전원 전압을 갖도록 디벨러프된다. 이때, 비선택 비트 라인 (BL1)에 연결된 스트링 선택 트랜지스터 (SST1)가 실질적으로 셧-오프되기 때문에, 비선택 비트 라인 (BL1)에 대응하는 셀 스트링 (12)이 플로팅된다.

<40> 그 다음에, 스트링 선택 라인 셋업 구간의 초기에, 도 3에 도시된 바와 같이, 제어 신호 (SSLCTL)가 로우 레벨에서 하이 레벨로 천이한다. 이는 스트링 선택 라인 (SSL)이 다이어드 연결된 NMOS 트랜지스터들 (502, 503)의 문턱 전압들의 합에 대응하는 전압 (Vss1)으로 설정되게 한다. 즉, 상기 스트링 선택 라인 (SSL)은 전원 전압 (Vcc)보다 낮은 전압 (Vss1)으로 바이어스된다. Vss1은 다음의 조건에 따라 결정된다.

<41>  $V_{th} < V_{ss1} < V_{shutoff}$

<42> 여기서,  $V_{th}$ 는 선택 비트 라인을 기준으로 스트링 선택 트랜지스터의 턴-온 전압을 나타내고,  $V_{shutoff}$ 는 비선택 비트 라인을 기준으로 스트링 선택 트랜지스터의 셧-오프 전압 (shut off voltage)을 나타낸다. 예를 들면, 비선택 비트 라인에 전원 전압이 인가되는 경우,  $V_{shutoff}$ 는  $(V_{cc} - (\beta * V_{pgm}))$ 이 된다.  $\beta$ 는 워드 라인 대 스트링 선택 라인의 커플링 비를 나타낸다. 이는, 스트링 선택 라인 (SSL)에 인접한 워드 라인 (WL15)에 프로그램 전압 ( $V_{pgm}$ )이 인가될 때 기생 커패시턴스를 통해 스트링 선택 라인에 유도되는 전압 (이하, '커플링 노이즈 전압'이라 칭함)을 고려하여, 전원 전압과 커플링 노이즈 전압의 차보다 낮은 전압이 스트링 선택 라인 (SSL)에 인가되어야 함을 의미한다. 이 실시예에 있어서,  $V_{shutoff}$ 이 NMOS 트랜지스터의 문턱 전압의 2배가 되도록 설정되어 있지만, 전원 전압과 커플링 노이즈 전압에 따라 다르게 설정될 수 있음은 자명하다.

<43> 계속해서, 실질적인 프로그램 동작이 시작되면, 선택 워드 라인 (WL15)에는 프로그램 전압 ( $V_{pgm}$ )이 인가되고 비선택 워드 라인들 (WL0-WL14)에는 패스 전압 ( $V_{pass2}$ )이 인가된다. 앞서 설명된 바와 같이, 비선택 비트 라인 (BL1)에 대응하는 셀 스트링 (12)이 플로팅되기 때문에, 상기 비선택 비트 라인 (BL1) 및 상기 선택 워드 라인 (WL15)에 의해서 정의된 플래시 EEPROM 셀 (MC15), 즉, 프로그램 금지 셀의 채널 전압은 셀프-부스팅 메커니즘에 따라 F-N 터널링을 방지하기에 충분한 전압 ( $V_{inhibit}$ )까지 부스팅된다. 이때, 스트링 선택 라인 (SSL)의 전압은, 도 3에 도시된 바와 같이, 선택 워드 라인 (WL15)에 인가되는 프로그램 전압 ( $V_{pgm}$ )으로 인한 커플링 노이즈 전압만큼 순간적으로 증가될 것이다. 하지만, 스트링 선택 라인 (SSL)이 앞서 설명된 조건에 따라 결정된  $V_{ssl}$  전압으로 바이어스되기 때문에, 스트링 선택 트랜지스터 (SST2)는 턴 온되지 않는다. 그러므로, 셀프-부스팅 스킴에 따라 증가된 프로그램 금지된 셀 트랜지스터

의 채널 전압 (Vinhbit)은 손실없이 그대로 유지된다. 프로그램 동작이 완료된 후, 방전 구간 동안, 비트 라인들 (BL0, BL1)의 전위가 방전되고 페이지 버퍼들 (130\_0, 130\_1)이 초기화된다.

<44> 앞서 설명된 바와 같이, 스트링 선택 라인 (SSL)에 인접한 워드 라인 (WL15)이 프로그램 전압 (Vpgm)이 인가될 때 스트링 선택 라인 대 워드 라인 (WL15)의 커플링 (또는 스트링 선택 라인과 워드 라인 (WL15) 사이에 존재하는 기생 커패시턴스)에 의해 스트링 선택 라인의 전압이 전원 전압보다 높게 증가되었다. 이를 방지하기 위해서, 비트 라인들을 데이터 비트들에 대응하는 전압들로 설정한 후, 스트링 선택 라인 (SSL)이 기생 커패시턴스 및 프로그램 전압으로 인한 커플링 노이즈 전압을 고려하여 전원 전압보다 낮게 바이어스된다. 이는 프로그램 구간의 초기에 스트링 선택 라인 (SSL)에 커플링 노이즈 전압이 유기되더라도 스트링 선택 트랜지스터가 턴-오프 상태로 유지되게 한다. 그러므로, 스트링 선택 라인에 인접한 워드 라인 또는 페이지의 플래시 EEPROM 셀을 프로그램할 때 프로그램 금지된 플래시 EEPROM 셀에 발생하는 프로그램 디스터브를 방지할 수 있다.

<45> 본 발명의 낸드형 플래시 메모리 장치에는 셀프-부스팅 스킴 대신 로컬 셀프-부스팅 스킴이 적용될 수 있다. 로컬 셀프-부스팅 스킴은 선택된 워드 라인에 연결된 비선택 메모리 셀의 의도하지 않은 프로그램 즉, '프로그램 디스터브'을 방지하기 위한 다른 프로그램 금지 방법이다. 로컬 셀프-부스팅 스킴을 이용한 프로그램 금지 방법은 U.S. Patent No. 5,715,194에

*BIAS SCHEME OF PROGRAM INHIBIT FOR RANDOM PROGRAMMING IN A NAND FLASH MEMORY*라는 제목으로 그리고 U.S. Patent No. 6,061,270에 "라는 제목으로 개시되어 있고, 레퍼런스로 포함된다.

<46>      상기 로컬 셀프-부스팅 스킴을 이용한 프로그램 금지 방법에 있어서, 비선택된 워드 라인에 패스 전압을 인가한 후, 선택 워드 라인에 프로그램 전압을 인가하기 전에 스트링 선택 트랜지스터 방향으로 선택 워드 라인과 인접한 비선택 워드 라인에 접지 전압이 인가된다. 또는, 비선택 워드 라인에 패스 전압을 인가한 후, 선택 워드 라인에 프로그램 전압을 인가하기 전에 상기 선택 워드 라인의 위 아래에 인접한 2개의 비선택 워드 라인들에 접지 전압이 인가된다. 또 다른 바이어스 방법에 의하면, 셀프-부스팅 동작은 모든 워드 라인들에 먼저 Vpass1 전압을 인가한 후, 선택 및 비선택 비트 라인들에 각각 프로그램 전압과 Vpass2 전압을 동시에 인가함으로써 수행된다. 또는, 셀프-부스팅 동작은 모든 워드 라인들에 먼저 제 1 패스 전압을 인가한 후, 비선택 워드 라인에 Vpass2 전압을 인가하고, 이후 선택 워드 라인에 프로그램 전압을 인가하기 전에 제 2 선택 트랜지스터 방향으로 선택 워드 라인과 인접한 비선택 워드 라인에 접지 전압을 인가함으로써 수행된다. 또는, 셀프-부스팅 동작은 모든 워드 라인들에 먼저 Vpass1 전압을 인가한 후, 비선택 워드 라인에 Vpass2 전압을 인가하고, 이후 선택 워드 라인에 프로그램 전압을 인가하기 전에 선택 워드 라인의 위 아래에 인접한 2개의 비선택 워드 라인에 접지 전압을 인가함으로써 수행된다.

<47>      이러한 로컬 셀프-부스팅 스킴 역시 스트링 선택 라인 (SSL)에 인접한 워드 라인에 연결된 셀을 프로그램할 때 프로그램 금지된 셀에 프로그램 디스터브가 발생하는 문제

점을 갖는다. 이러한 문제점 역시 본 발명에 따른 프로그램 방법에 의해서 방지될 수 있음은 자명하다.

**【발명의 효과】**

<48> 상술한 바와 같이, 스트링 선택 라인 (SSL)에 인접한 워드 라인에 프로그램 전압이 인가될 때 스트링 선택 라인 (SSL)에 유기되는 커플링 노이즈 전압으로 인한 프로그램 디스터브를 방지할 수 있다.

**【특허청구범위】****【청구항 1】**

복수 개의 셀 스트링들을 구비한 메모리 셀 어레이를 포함하되, 상기 각 스트링은 제 1 선택 트랜지스터의 소오스 및 제 2 선택 트랜지스터의 드레인 사이에 직렬 연결된 복수 개의 메모리 셀 트랜지스터들로 이루어지며, 상기 각 셀 스트링의 제 1 선택 트랜지스터의 드레인은 대응하는 비트 라인에 연결되고, 상기 셀 스트링들의 제 2 선택 트랜지스터들의 소오스들은 공통 소오스 라인에 공통으로 연결되고, 상기 셀 스트링들의 제 1 선택 트랜지스터들은 제 1 선택 라인에 공통으로 연결되고, 상기 셀 스트링들의 제 2 선택 트랜지스터들은 제 2 선택 라인에 공통으로 연결되고, 상기 각 메모리 셀 트랜지스터는 포켓 P웰 영역에 형성되며 소오스 영역, 드레인 영역, 상기 소오스 및 드레인 영역들 사이에 형성된 채널 영역, 상기 채널 영역 상에 형성된 부유 게이트 그리고 상기 부유 게이트 상에 형성된 제어 게이트를 가지며, 상기 각 셀 스트링의 메모리 셀 트랜지스터들의 제어 게이트들은 상기 제 1 선택 라인과 상기 제 2 선택 라인 사이에 평행하게 배열된 워드 라인들에 각각 연결되는 불휘발성 반도체 메모리 장치의 프로그램 방법에 있어서:

프로그램될 데이터 비트들에 따라 상기 셀 스트링들에 각각 대응하는 비트 라인들에 제 1 전압 ( $V_{cc}$ ) 및 상기 제 1 전압보다 낮은 제 2 전압 ( $GND$ ) 중 하나가 각각 공급되는 비트 라인 셋업 동작을 수행하는 단계 및;

상기 워드 라인들 중 선택된 워드 라인에 프로그램 전압이 공급되는 프로그램 동작을 수행하는 단계를 포함하며,

상기 제 1 선택 라인은 상기 비트 라인 셋업 동작이 수행되는 제 1 시간 동안 상기 제 2 전압으로 바이어스되고; 그리고 상기 제 1 선택 라인은 상기 비트 라인 셋업 동작을 수행한 후 제 2 시간 동안 상기 제 1 전압과 상기 제 2 전압 사이의 제 3 전압(Vss1)으로 바이어스되는 것을 특징으로 하는 프로그램 방법.

【청구항 2】

제 1 항에 있어서,

상기 제 1 전압은 접지 전압이고, 상기 제 2 전압은 전원 전압인 것을 특징으로 하는 프로그램 방법.

【청구항 3】

제 1 항에 있어서,

상기 제 3 전압은 프로그램을 나타내는 데이터 비트에 대응하는 비트 라인에 연결된 제 1 선택 트랜지스터를 턴 온시키기에 충분한 전압인 것을 특징으로 하는 프로그램 방법.

【청구항 4】

제 1 항에 있어서,

상기 제 3 전압은 제 4 전압과 제 5 전압 사이에 존재하며, 상기 제 4 전압은 프로그램을 나타내는 데이터 비트에 대응하는 비트 라인에 연결된 제 1 선택 트랜지스터를 턴 온시키기에 충분한 전압이고, 상기 제 5 전압은 프로그램 금지를 나타내는 데이터 비트에 대응하는 비트 라인을 기준으로 제 1 선택 트랜지스터의 셧-오프 전압 (제 1 전압

—( $\beta * V_{pgm}$ ), 여기서  $\beta$ 는 워드 라인 대 스트링 선택 라인의 커플링 비를 나타냄)인 것을 특징으로 하는 프로그램 방법.

**【청구항 5】**

제 1 항에 있어서,

상기 제 3 전압은 N형 모오스 트랜지스터의 문턱 전압에 또는 복수의 N형 모오스 트랜지스터들의 문턱 전압들의 합에 대응하는 전압인 것을 특징으로 하는 프로그램 방법

**【청구항 6】**

제 1 항에 있어서,

상기 제 1 시간은 프로그램을 나타내는 데이터 비트에 대응하는 비트 라인을 상기 제 1 전압으로 디벨러프시키기에 충분한 시간인 것을 특징으로 하는 프로그램 방법.

**【청구항 7】**

제 1 항에 있어서,

상기 제 2 시간은 상기 비트 라인 셋업 동작의 종료 시점에서 상기 프로그램 동작의 종료 시점까지의 시간인 것을 특징으로 하는 프로그램 방법.

**【청구항 8】**

제 1 항에 있어서,

상기 비트 라인 셋업 동작이 수행된 후 프로그램 금지를 나타내는 데이터 비트에 대응하는 비트 라인은 대응하는 셀 스트링과 전기적으로 절연되고; 상기 프로그램 전압이 상기 선택된 워드 라인으로 공급될 때, 상기 선택된 워드 라인에 연결



된, 프로그램 금지를 나타내는 데이터 비트에 대응하는, 메모리 셀 트랜지스터의 채널 전압이 상기 제 1 전압보다 높게 셀프 부스팅되는 것을 특징으로 하는 프로그램 방법.

**【청구항 9】**

제 8 항에 있어서,

상기 셀프 부스팅 동작은 로컬 셀프-부스팅 동작을 포함하는 것을 특징으로 하는 프로그램 방법.

**【청구항 10】**

제 9 항에 있어서,

상기 셀프-부스팅 동작은 비선택된 워드 라인에 패스 전압을 인가한 후, 선택 워드 라인에 프로그램 전압을 인가하기 전에 제 2 선택 트랜지스터 방향으로 선택 워드 라인 과 인접한 비선택 워드 라인에 접지 전압을 인가함으로써 수행되는 것을 특징으로 하는 프로그램 방법.

**【청구항 11】**

제 9 항에 있어서,

상기 셀프-부스팅 동작은 비선택 워드 라인에 패스 전압을 인가한 후, 선택 워드 라인에 프로그램 전압을 인가하기 전에 상기 선택 워드 라인의 위 아래에 인접한 2개의 비선택 워드 라인들에 접지 전압을 인가함으로써 수행되는 것을 특징으로 하는 프로그램 방법.

**【청구항 12】**

제 9 항에 있어서,

상기 셀프-부스팅 동작은 모든 워드 라인들에 먼저 제 1 패스 전압을 인가한 후, 선택 및 비선택 비트 라인들에 각각 프로그램 전압과 제 2 패스 전압을 동시에 인가함으로써 수행되며, 상기 제 1 패스 전압은 상기 제 2 패스 전압보다 낮은 것을 특징으로 하는 프로그램 방법.

**【청구항 13】**

제 9 항에 있어서,

상기 셀프-부스팅 동작은 모든 워드 라인들에 먼저 제 1 패스 전압을 인가한 후, 비선택 워드 라인에, 상기 제 1 패스 전압보다 높은, 제 2 패스 전압을 인가하고, 이후 선택 워드 라인에 프로그램 전압을 인가하기 전에 제 2 선택 트랜지스터 방향으로 선택 워드 라인과 인접한 비선택 워드 라인에 접지 전압을 인가함으로써 수행되는 것을 특징으로 하는 프로그램 방법.

**【청구항 14】**

제 9 항에 있어서,

상기 셀프-부스팅 동작은 모든 워드 라인들에 먼저 제 1 패스 전압을 인가한 후, 비선택 워드 라인에, 상기 제 1 패스 전압보다 높은, 제 2 패스 전압을 인가하고, 이후 선택 워드 라인에 프로그램 전압을 인가하기 전에 선택 워드 라인의 위 아래에 인접한 2 개의 비선택 워드 라인에 접지 전압을 인가함으로써 수행되는 것을 특징으로 하는 프로그램 방법.

**【청구항 15】**

제 1 항에 있어서,

상기 비트 라인 셋업 동작이 수행된 후 프로그램 금지를 나타는 데이터 비트에 대응하는 비트 라인은 대응하는 셀 스트링과 전기적으로 절연되고; 상기 프로그램 전압이 상기 선택된 워드 라인으로 공급될 때, 프로그램 금지를 나타내는 데이터 비트에 대응하는 셀 스트링의 메모리 셀 트랜지스터들의 채널 전압이 셀프 부스팅되도록 상기 프로그램 전압보다 낮은 패스 전압이 선택되지 않은 워드 라인들에 인가되는 것을 특징으로 하는 프로그램 방법.

#### 【청구항 16】

복수 개의 셀 스트링들을 구비한 메모리 셀 어레이를 포함하되, 상기 각 스트링은 제 1 선택 트랜지스터의 소오스 및 제 2 선택 트랜지스터의 드레인 사이에 직렬 연결된 복수 개의 메모리 셀 트랜지스터들로 이루어지며, 상기 각 셀 스트링의 제 1 선택 트랜지스터의 드레인은 대응하는 비트 라인에 연결되고, 상기 셀 스트링들의 제 2 선택 트랜지스터들의 소오스들은 공통 소오스 라인에 공통으로 연결되고, 상기 셀 스트링들의 제 1 선택 트랜지스터들은 제 1 선택 라인에 공통으로 연결되고, 상기 셀 스트링들의 제 2 선택 트랜지스터들은 제 2 선택 라인에 공통으로 연결되고, 상기 각 메모리 셀 트랜지스터는 포켓 P웰 영역에 형성되며 소오스 영역, 드레인 영역, 상기 소오스 및 드레인 영역들 사이에 형성된 채널 영역, 상기 채널 영역 상에 형성된 부유 게이트 그리고 상기 부유 게이트 상에 형성된 제어 게이트를 가지며, 상기 각 셀 스트링의 메모리 셀 트랜지스터들의 제어 게이트들은 상기 제 1 선택 라인과 상기 제 2 선택 라인 사이에 평행하게 배열된 워드 라인들에 각각 연결되는 불휘발성 반도체 메모리 장치의 프로그램 방법에 있어서:

상기 제 1 선택 라인이 제 1 전압으로 바이어스된 상태에서, 프로그램될 데이터 비트들에 따라 상기 셀 스트링들에 각각 대응하는 비트 라인들에 상기 제 1 전압 ( $V_{cc}$ ) 및 상기 제 1 전압보다 낮은 제 2 전압 ( $GND$ ) 중 하나를 각각 공급하는 단계와;

상기 제 1 선택 라인을 상기 제 1 전압과 상기 제 2 전압 사이의 제 3 전압 ( $V_{ss1}$ )으로 바이어스하는 단계 및;

상기 제 1 선택 라인이 상기 제 3 전압으로 바이어스된 상태에서, 상기 워드 라인들 중 선택된 워드 라인에 프로그램 전압을 공급하는 단계를 포함하는 것을 특징으로 하는 프로그램 방법.

**【청구항 17】**

제 16 항에 있어서,

상기 제 1 전압은 접지 전압이고, 상기 제 2 전압은 전원 전압인 것을 특징으로 하는 프로그램 방법.

**【청구항 18】**

제 16 항에 있어서,

상기 제 3 전압은 프로그램을 나타내는 데이터 비트에 대응하는 비트 라인에 연결된 제 1 선택 트랜지스터를 턴 온시키기에 충분한 전압인 것을 특징으로 하는 프로그램 방법.

**【청구항 19】**

제 16 항에 있어서,

상기 제 3 전압은 제 4 전압과 제 5 전압 사이에 존재하며, 상기 제 4 전압은 프로

그램을 나타내는 데이터 비트에 대응하는 비트 라인에 연결된 제 1 선택 트랜지스터를 턴 온시키기에 충분한 전압이고, 상기 제 5 전압은 프로그램 금지를 나타내는 데이터 비트에 대응하는 비트 라인을 기준으로 제 1 선택 트랜지스터의 셧-오프 전압 (제 1 전압  $-(\beta * V_{pgm})$ , 여기서  $\beta$ 는 워드 라인 대 스트링 선택 라인의 커플링 비를 나타냄)인 것을 특징으로 하는 프로그램 방법.

#### 【청구항 20】

제 16 항에 있어서,

상기 제 3 전압은 N형 모오스 트랜지스터의 문턱 전압에 대응하거나 복수의 N형 모오스 트랜지스터들의 문턱 전압들의 합에 대응하는 전압인 것을 특징으로 하는 프로그램 방법.

#### 【청구항 21】

각각이 대응하는 비트 라인에 연결된 드레인을 갖는 스트링 선택 트랜지스터, 공통 소오스 라인에 연결된 소오스를 갖는 접지 선택 트랜지스터, 그리고 상기 스트링 선택 트랜지스터의 소오스 및 상기 접지 선택 트랜지스터의 드레인 사이에 직렬 연결된 복수의 메모리 셀 트랜지스터들을 갖는 복수 개의 셀 스트링들과, 상기 각 셀 스트링의 메모리 셀 트랜지스터들의 제어 게이트들에 각각 연결된 워드 라인들과, 상기 셀 스트링들의 스트링 선택 트랜지스터들의 게이트들에 공통으로 연결된 스트링 선택 라인과, 상기 셀 스트링들의 접지 선택 트랜지스터들의 게이트들에 공통으로 연결된 접지 선택 라인을 포함하는 메모리 셀 어레이와;

프로그램 사이클의 비트 라인 셋업 구간, 스트링 선택 라인 셋업 구간, 프로그램

구간 및 방전 구간에 따라 상기 선택 라인들 및 상기 워드 라인들의 전위를 개별적으로 제어하는 수단 및;

상기 프로그램 사이클의 비트 라인 셋업 구간 동안, 상기 메모리 셀 어레이에 프로그램될 데이터 비트들에 따라 상기 비트 라인들에 제 1 전압과 제 2 전압 중 하나를 각각 공급하는 페이지 버퍼 회로를 포함하고,

상기 제어 수단은 상기 비트 라인 셋업 구간 동안 상기 스트링 선택 라인을 상기 제 1 전압으로 바이어스하고, 상기 스트링 선택 라인 셋업 구간 및 상기 프로그램 구간 동안 상기 스트링 선택 라인을 상기 제 1 전압과 상기 제 2 전압 사이의 제 3 전압으로 바이어스하는 불휘발성 반도체 메모리 장치.

#### 【청구항 22】

제 21 항에 있어서,

상기 제 1 전압은 접지 전압이고, 상기 제 2 전압은 전원 전압인 불휘발성 반도체 메모리 장치.

#### 【청구항 23】

제 21 항에 있어서,

상기 제 3 전압은 프로그램을 나타내는 데이터 비트에 대응하는 비트 라인에 연결된 스트링 선택 트랜지스터를 턴 온시키기에 충분한 전압인 불휘발성 반도체 메모리 장치.

#### 【청구항 24】

제 21 항에 있어서,

상기 제 3 전압은 제 4 전압과 제 5 전압 사이에 존재하며, 상기 제 4 전압은 프로그램을 나타내는 데이터 비트에 대응하는 비트 라인에 연결된 스트링 선택 트랜지스터를 턴 온시키기에 충분한 전압이고, 상기 제 5 전압은 프로그램 금지를 나타내는 데이터 비트에 대응하는 비트 라인을 기준으로 스트링 선택 트랜지스터의 셧-오프 전압 (제 1 전압  $-(\beta * V_{pgm})$ , 여기서  $\beta$ 는 워드 라인 대 스트링 선택 라인의 커플링 비를 나타냄) 인 불휘발성 반도체 메모리 장치.

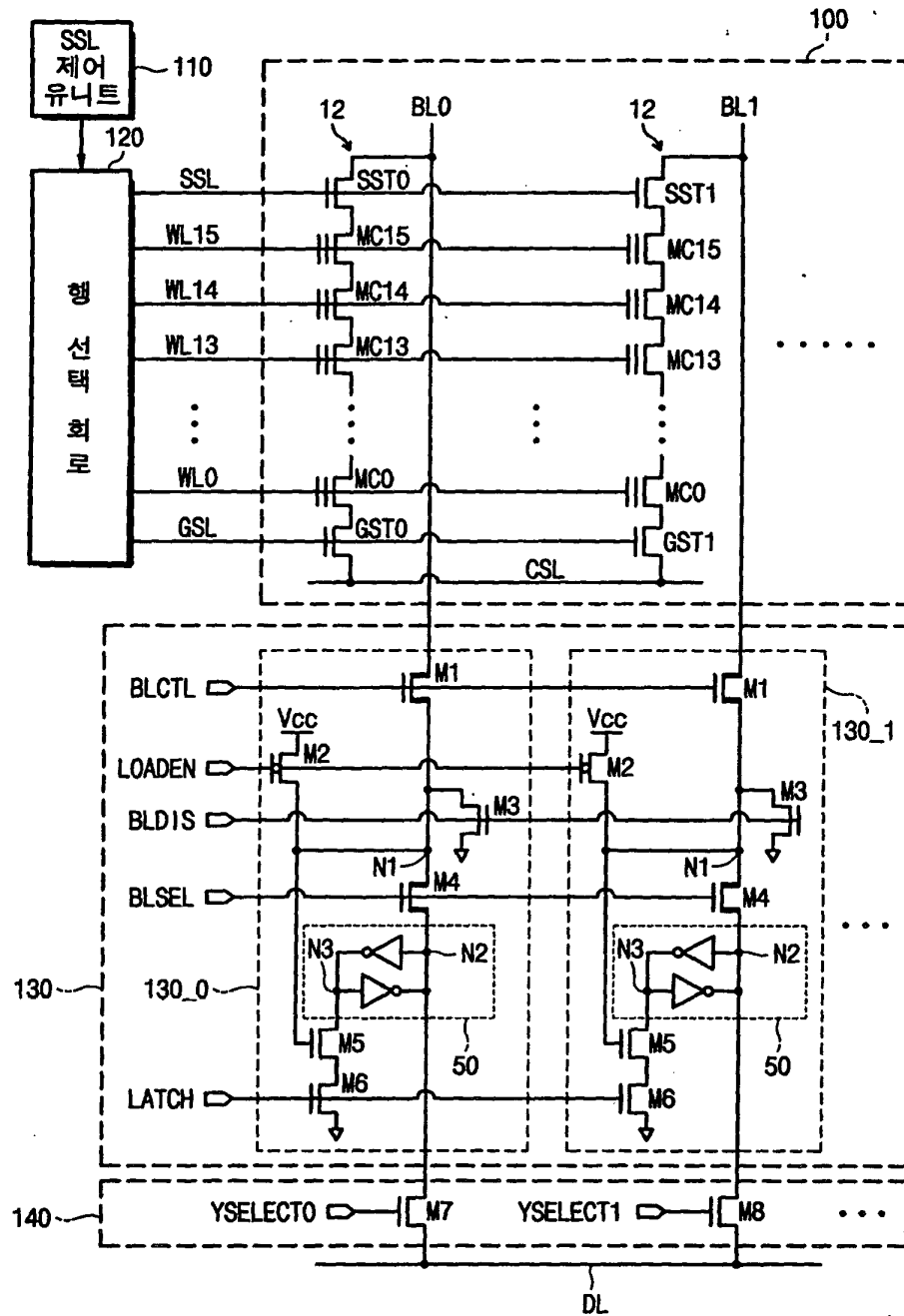
【청구항 25】

제 21 항에 있어서,

상기 제 3 전압은 N형 모오스 트랜지스터의 문턱 전압의 2배에 대응하는 전압인 불휘발성 반도체 메모리 장치.

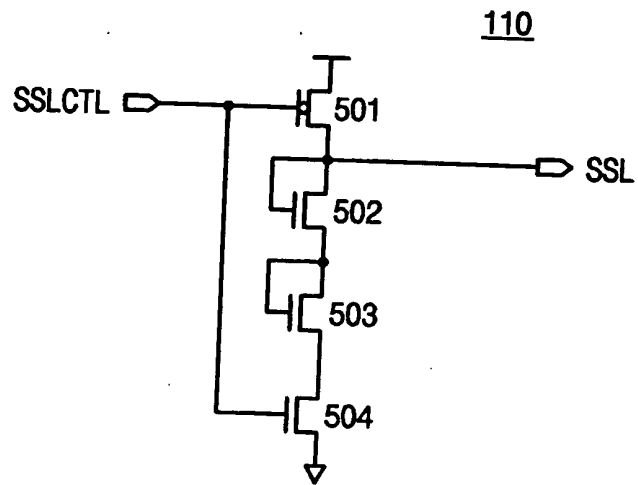
【도면】

【도 1】

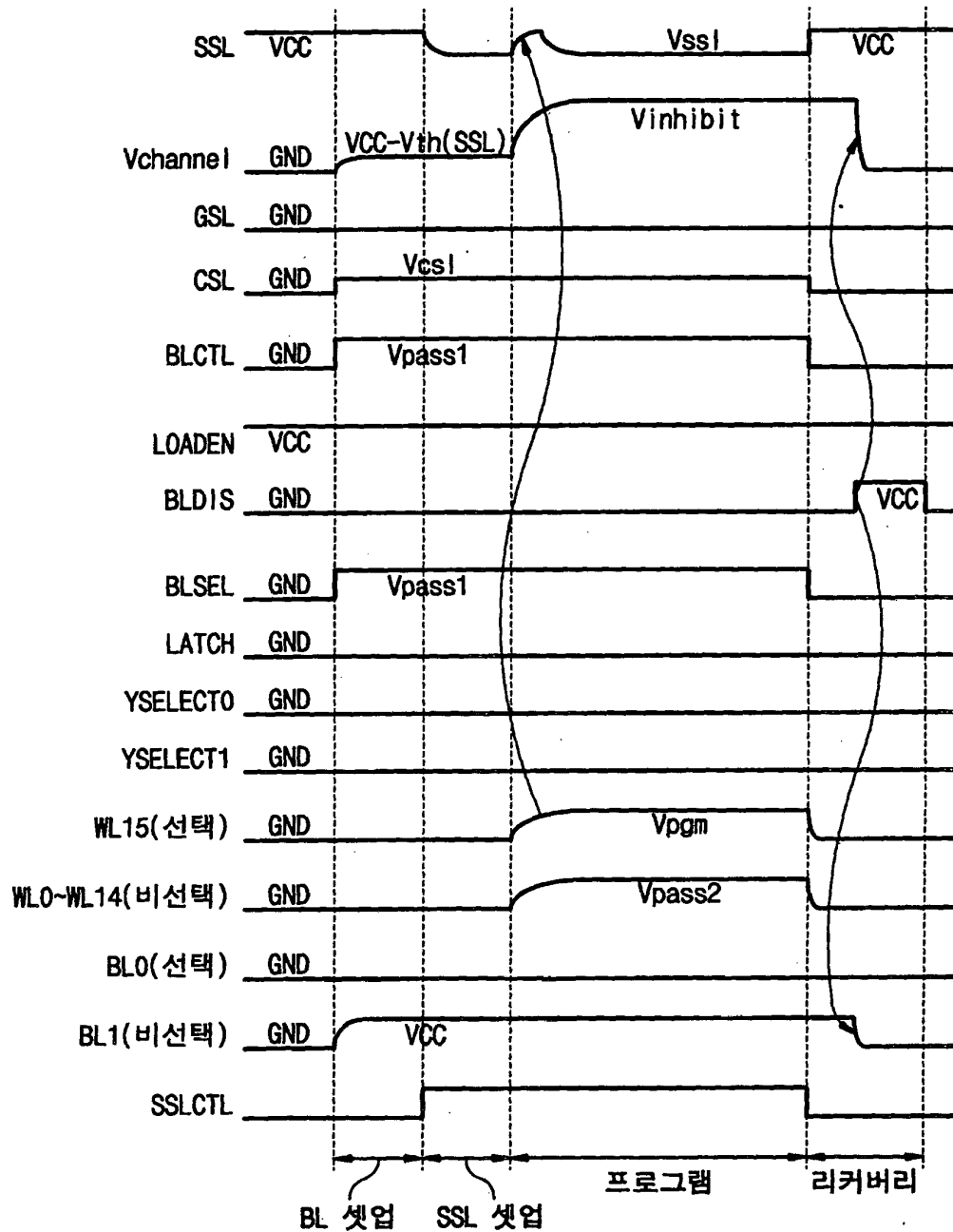




【도 2】

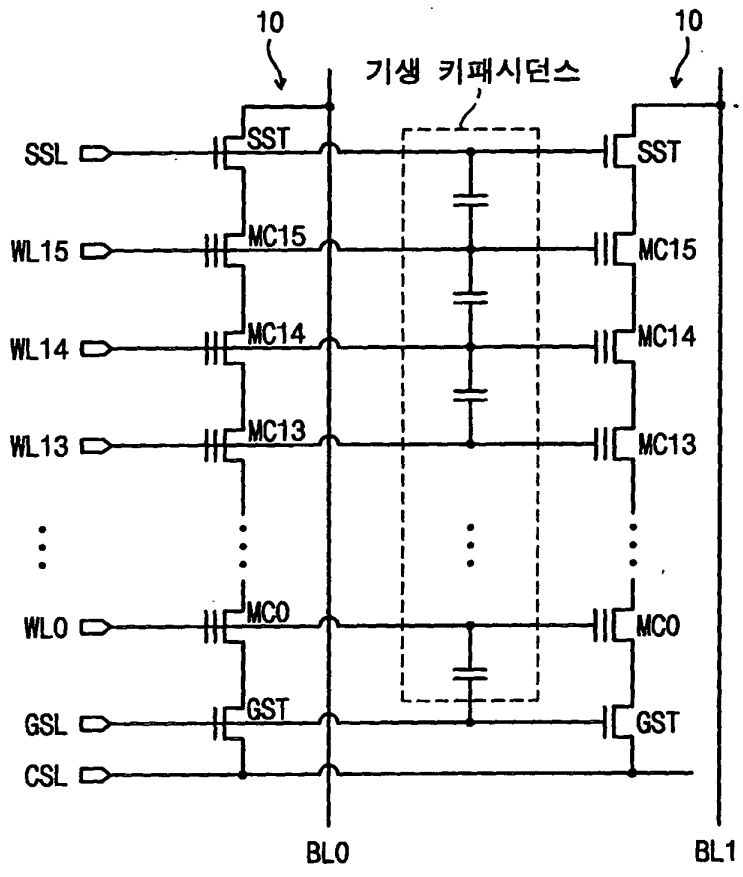


【도 3】



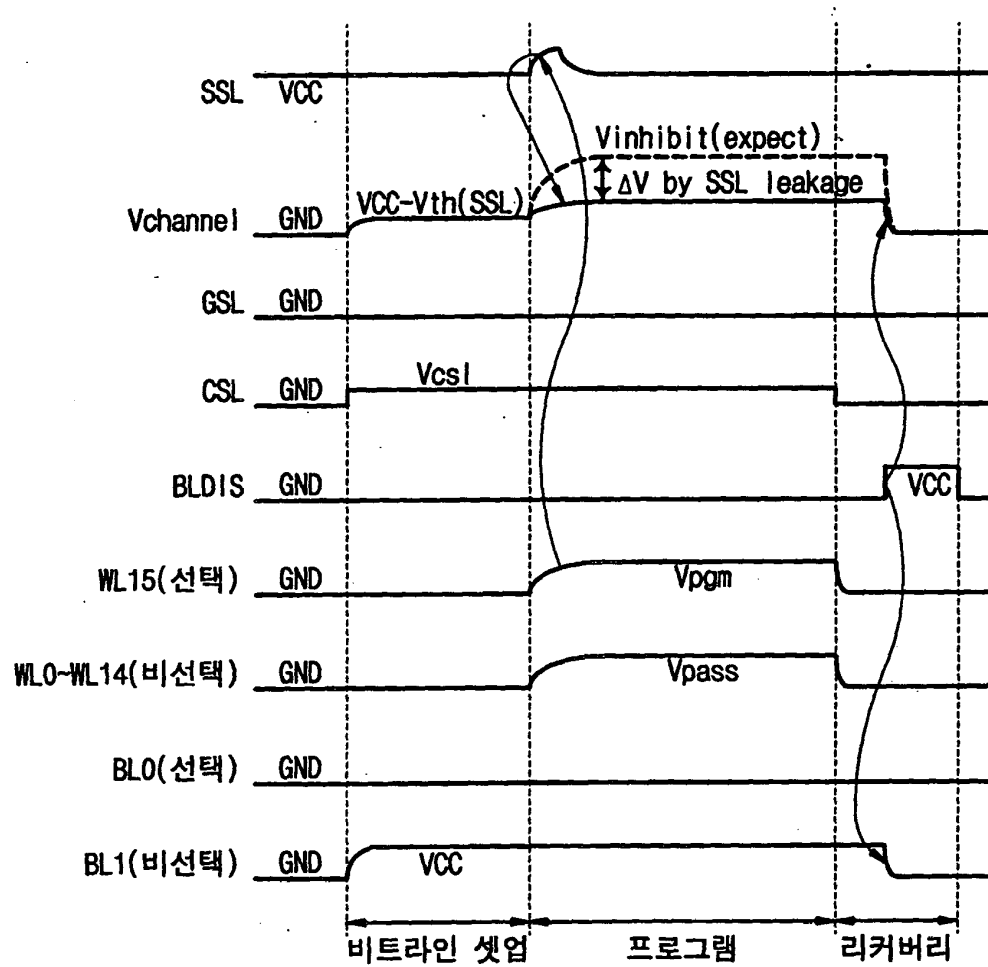
【도 4】

(종래 기술)



【도 5】

(종래 기술)



BEST AVAILABLE COPY